

## ⑫ 公開特許公報(A) 平1-223700

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)9月6日

G 11 C 29/00

3 0 2

7737-5B

審査請求 未請求 請求項の数 3 (全11頁)

⑭ 発明の名称 半導体記憶装置

⑯ 特 願 昭63-48480

⑰ 出 願 昭63(1988)3月1日

⑱ 発 明 者 大 田 達 之 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 徳若 光政

## 明 細 書

## 1. 発明の名称

半導体記憶装置

## 2. 特許請求の範囲

1. 所定の制御信号に従って選択的に有効とされるECC回路を具備することを特徴とする半導体記憶装置。

2. 上記ECC回路は、所定の試験動作時において選択的に有効又は無効とされ、上記半導体記憶装置は、上記試験動作の結果に従って選択的に割り当てられる冗長回路を含むものであって、上記冗長回路は、上記ECC回路が有効とされるとき検出される障害に対し優先的に割り当てられるものであることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 上記半導体記憶装置は、第1の入力データが格納される第1のメモリエリアと、上記第1の入力データに対応して形成されるECCチェックビット又は第2の入力データが選択的に格納される第2のメモリエリアとを有するメモリア

レイを含むものであって、上記ECC回路は、上記第2のメモリエリアに上記ECCチェックビットが格納されるとき有効とされ、上記第2の入力データが格納されるとき無効とされるものであることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体記憶装置に関するもので、例えば、ECC(Error Correcting Code: 誤り訂正符号)回路を内蔵するダイナミック型RAM(ランダムアクセスメモリ)等に利用して特に有効な技術に関するものである。

(従来の技術)

所定のアルゴリズムに従って形成されるチェックビットを付加することで、伝達されるデータの誤りを検出・訂正するECC方式がある。また、格納される記憶データに対して、上記のようなチェックビットを付加するダイナミック型RAM等の半導体記憶装置がある。これらの半導体記憶装

置は、書き込み動作時に書き込みデータに対応したチェックビットを形成し、また読み出し動作時に読み出しデータの正常性をチェックしその誤りを訂正するECC回路を内蔵する。

ECC回路を内蔵する半導体記憶装置については、例えば、特開昭58-215797号公報等に記載されている。

(発明が解決しようとする課題)

上記に記載されるようなECC回路を内蔵する半導体記憶装置は、次のような二つの問題点を持つ。すなわち、これらの半導体記憶装置では、ECC回路が常に動作状態とされ、読み出しデータに対するチェックと誤り訂正が自律的に行われる。したがって、例えば特定のメモリセルに断線等の障害が生じ、読み出しデータに1ビット誤りが発生しても、その誤りは半導体記憶装置の内部で自動的に訂正される。このため、所定の製造工程で機能試験を行ったとしても、このような1ビット誤りを検出することはできない。このことは、結果的に半導体記憶装置の歩留りを向上できないとい

う効果もあるが、他方において機能試験の的確性を欠き、半導体記憶装置の信頼性を低下させる原因となる。

一方、ECC回路を内蔵する半導体記憶装置では、入力データのビット数を $m$ とすると、

$$m + c \leq 2^c - 1$$

なる関係を満足するような $c$ ビットのECCチェックビットが付加される。また、上記半導体記憶装置のメモリアレイには、記憶データを格納するメモリエリアに加えて、上記 $c$ ビットのECCチェックビットを格納するためのメモリエリアが別途用意される。ここで、記憶データのビット数を例えば32ビットとすると、必要なECCチェックビットのビット数は、単一誤り訂正方式を採用する場合で6ビット、単一誤り訂正・二重誤り検出方式を採用する場合で7ビットとなり、その分メモリアレイのハードウェア量が増大する。ECC回路を内蔵する従来の半導体記憶装置において、チェックビットを格納するためのメモリエリアは、ECC機能が必要とされない場合でも他用できず、

また意図的にアクセスすることもできない。このことは、システムの柔軟性を損ない、また効率的な故障診断処理を妨げる原因となる。

この発明の目的は、ECC回路を内蔵する半導体記憶装置の機能試験や故障診断処理を的確かつ効率的に行うことにある。この発明の他の目的は、ECC回路を内蔵する半導体記憶装置を含むシステムの柔軟性を高めることにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

(課題を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、半導体記憶装置に内蔵されるECC回路を、所定の制御信号に従って選択的に有効又は無効とし、またECC回路が無効とされるとき、メモリアレイのECCチェックビット格納用のメモリエリアを任意にアクセスできるようにするものである。

(作用)

上記した手段によれば、ECC回路を内蔵する半導体記憶装置の機能試験を的確かつ効率的に実施できるとともに、このような半導体記憶装置を含むシステムの柔軟性を高め、その故障診断処理を効率良く行うことができる。

(実施例)

第2図には、この発明が適用されたダイナミック型RAMの一実施例のブロック図が示されている。同図の各ブロックを構成する回路素子は、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。

この実施例のダイナミック型RAMは、特に制限されないが、ディジタル処理装置のメモリユニットを構成する。このメモリユニットは、図示されないメモリ制御ユニット及びシステムバスを介して、中央処理装置CPUに結合される。ダイナミック型RAMは、ECC回路を内蔵する。ECC回路は、後述するように、チェックビット生成

回路CCやシンドローム生成回路SG及びデータ訂正回路DC等を含む。この実施例において、ダイナミック型RAMに入出力されるデータは、特に制限されないが、32ビット構成とされる。また、ECC回路は、単一誤り訂正・二重誤り検出方式とされ、上記入出力データには、7ビットのチェックビットが付加される。つまり、メモリアレイMARYの各アドレスに格納される記憶データは、合計39ビット構成とされる。読み出し動作時、データに検出された1ビットの誤りは、ECC回路によって検出・訂正されるが、2ビットの誤りは、検出されるのみで訂正されない。特に制限されないが、読み出しデータに1ビット又は2ビットの誤りが検出されたとき、ダイナミック型RAMは、ロウレベルの誤り検出信号EDをメモリ制御ユニットに送出する。

この実施例のダイナミック型RAMにおいて、上記ECC回路は、特に制限されないが、ECC制御信号ECMがハイレベルとされるとき、選択的に有効とされる。このとき、ECC回路は、外

部端子D0～D31を介して入出力される32ビットのデータに上記7ビットのECCチェックビットを付加し、またその正常性を確認する。一方、ECC回路は、上記ECC制御信号ECMがロウレベルとされるとき、選択的に無効とされる。このとき、ECC回路は、その機能が停止され、32ビットのデータは、ECC回路によるチェック及び修正を受けることなく入出力される。また、メモリアレイMARYのチェックビット格納用のメモリエリアには、特に制限されないが、外部端子D32～D38を介して、7ビットのデータを入出力することができる。

第2図において、メモリアレイMARYは、同図の垂直方向に平行して配置される $m+1$ 本のワード線と、水平方向に平行して配置される $39 \times (n+1)$ 組の相補データ線及びこれらのワード線と相補データ線の交点に格子状に配置される $39 \times (m+1) \times (n+1)$ 個のダイナミック型メモリセルを含む。特に制限されないが、メモリアレイMARYは、さらに複数の冗長ワード線

と冗長相補データ線及び上記ワード線及び相補データ線と冗長ワード線及び冗長相補データ線との交点に配置される複数のメモリセルを含む。冗長ワード線及び冗長相補データ線は、対応する冗長アドレス切り換え回路に結合され、ダイナミック型RAMの不良アドレスに選択的に割り当てられるとともに、対応する不良アドレスが指定されるとき、代わって選択状態とされる。

メモリアレイMARYを構成するワード線は、ロウアドレスデコーダRADに結合され、択一的に選択状態とされる。

ロウアドレスデコーダRADには、ロウアドレスバッファRABから $i+1$ ビットの相補内部アドレス信号 $\bar{a}x0 \sim \bar{a}xi$ （ここで、例えば非反転内部アドレス信号 $ax0$ と反転内部アドレス信号 $\bar{a}x0$ をあわせて相補内部アドレス信号 $\bar{a}x0$ のように表す。以下同じ）が供給され、タイミング発生回路TGから、タイミング信号 $\phi x$ が供給される。

ロウアドレスデコーダRADは、上記タイミン

グ信号 $\phi x$ がハイレベルとされることで、選択的に動作状態とされる。この動作状態において、ロウアドレスデコーダRADは、上記相補内部アドレス信号 $\bar{a}x0 \sim \bar{a}xi$ をデコードし、メモリアレイMARYの対応するワード線を択一的にハイレベルの選択状態とする。

ロウアドレスバッファRABは、外部端子A0～Aiを介して時分割的に供給されるXアドレス信号AX0～AXiを、タイミング発生回路TGから供給されるタイミング信号 $\phi ar$ に従って取り込み、保持する。また、これらのXアドレス信号AX0～AXiをもとに、上記相補内部アドレス信号 $\bar{a}x0 \sim \bar{a}xi$ を形成し、ロウアドレスデコーダRADに供給する。

メモリアレイMARYを構成する相補データ線は、その一方において、センスアンプSAの対応する単位増幅回路に結合され、その他方において、カラムスイッチCSWの対応するスイッチMOSFET対に結合される。

センスアンプSAは、メモリアレイMARYの

各相補データ線に対応して設けられる $39 \times (n+1)$ 個の単位増幅回路を含む。これらの単位増幅回路には、タイミング発生回路TCからタイミング信号 $\phi_{pa}$ が共通に供給される。

センスアンプSAの各単位増幅回路は、上記タイミング信号 $\phi_{pa}$ がハイレベルとされることで、選択的に動作状態とされる。この動作状態において、センスアンプSAの各単位増幅回路は、メモリアレイMARYの選択されたワード線に結合される $39 \times (n+1)$ 個のメモリセルから対応する相補データ線を介して出力される微小読み出し信号を増幅し、ハイレベル又はロウレベルの2値読み出し信号とする。

カラムスイッチCSWは、メモリアレイMARYの各相補データ線に対応して設けられる $39 \times (n+1)$ 組のスイッチMOSFET対を含む。これらのスイッチMOSFET対の一方は、メモリアレイMARYの対応する相補データ線にそれぞれ結合され、その他方は、相補共通データ線 $\overline{CD0} \sim \overline{CD38}$ （ここで、例えば非反転信号線C

D0と反転信号線 $\overline{CD0}$ をあわせて相補共通データ線 $\overline{CD0}$ のように表す。以下同じ）に39組おきにそれぞれ共通結合される。カラムスイッチCSWを構成するスイッチMOSFET対のゲートは、項に39組ずつ共通結合され、カラムアドレスデコードCADから対応するデータ線選択信号 $Y0 \sim Yn$ がそれぞれ供給される。

データ線選択信号 $Y0 \sim Yn$ が択一的にハイレベルとされることで、カラムスイッチCSWの対応する39組のスイッチMOSFET対が一斉にオン状態とされる。これにより、メモリアレイMARYからYアドレス信号 $AY0 \sim AYi$ によって指定される39組の相補データ線が選択され、対応する上記相補共通データ線 $\overline{CD0} \sim \overline{CD38}$ にそれぞれ接続される。

カラムアドレスデコードCADには、カラムアドレスバッファCABから $i+1$ ビットの相補内部アドレス信号 $\underline{ay0} \sim \underline{ay1}$ が供給され、タイミング発生回路TCからタイミング信号 $\phi_y$ が供給される。

カラムアドレスデコードCADは、上記タイミング信号 $\phi_y$ がハイレベルとされることで、選択的に動作状態とされる。この動作状態において、カラムアドレスデコードCADは、上記相補内部アドレス信号 $\underline{ay0} \sim \underline{ay1}$ をデコードし、対応する上記データ線選択信号 $Y0 \sim Yn$ を択一的にハイレベルとする。

カラムアドレスバッファCABは、外部端子 $A0 \sim Ai$ を介して時分割的に供給されるYアドレス信号 $AY0 \sim AYi$ を、タイミング発生回路TCから供給されるタイミング信号 $\phi_{ac}$ に従って取り込み、保持する。また、これらのYアドレス信号 $AY0 \sim AYi$ をもとに、上記相補内部アドレス信号 $\underline{ay0} \sim \underline{ay1}$ を形成し、カラムアドレスデコードCADに供給する。

メモリアレイMARYの指定された39組の相補データ線が選択的に接続される相補共通データ線 $\overline{CD0} \sim \overline{CD38}$ は、ライトアンプWAの対応する単位回路の出力端子にそれぞれ結合されるとともに、リードアンプRAの対応する単位回路の

入力端子にそれぞれ結合される。

ライトアンプWAは、上記相補共通データ線 $\overline{CD0} \sim \overline{CD38}$ に対応して設けられる39個の単位回路を含む。これらの単位回路のうち、第1～第32の単位回路の入力端子には、データ入力バッファDIB1から、対応する内部入力データ $d10 \sim d131$ がそれぞれ供給される。また、第33～第39の単位回路には、ECC回路から、対応する書き込みチェックビット $cw0 \sim cw6$ がそれぞれ供給される。ライトアンプWAの39個の単位回路には、タイミング発生回路TCからタイミング信号 $\phi_w$ が共通に供給される。ところで、上記書き込みチェックビット $cw0 \sim cw6$ は、ECC制御信号 $\overline{ECM}$ がハイレベルとされECC回路が有効とされるとき、上記内部入力データ $d10 \sim d131$ に従って形成される。また、ECC制御信号 $\overline{ECM}$ がロウレベルとされECC回路が無効とされるとき、外部端子 $D32 \sim D38$ からデータ入力バッファDIB2を介して供給される内部入力データ $d132 \sim d138$ がその

まま伝達される。

ライトアンプWAの各单位回路は、上記タイミング信号 $\phi_w$ がハイレベルとされることで、選択的に動作状態とされる。この動作状態において、ライトアンプWAの各单位回路は、対応する上記内部入力データ $d_{i0} \sim d_{i31}$ 又は書き込みチェックビット $c_{w0} \sim c_{w6}$ を相補書き込み信号とし、対応する相補共通データ線 $\overline{CD0} \sim \overline{CD38}$ に伝達する。

データ入力バッファDIB1は、データ入出力端子 $D0 \sim D31$ を介して供給される32ビットの書き込みデータ（第1の入力データ）を、上記内部入力データ $d_{i0} \sim d_{i31}$ として、上記ライトアンプWA及びECC回路に供給する。同様に、データ入力バッファDIB2は、特に制限されないが、ECC制御信号 $\overline{ECM}$ がロウレベルとされECC回路が無効とされるとき、データ入出力端子 $D32 \sim D38$ を介して供給される7ビットの書き込みデータ（第2の入力データ）を、上記内部入力データ $d_{i32} \sim d_{i38}$ として、E

CC回路に供給する。

一方、リードアンプRAは、上記相補共通データ線 $\overline{CD0} \sim \overline{CD38}$ に対応して設けられる39個の単位回路を含む。これらの単位回路の出力信号は、読み出しデータ $d_{r0} \sim d_{r31}$ 及び読み出しチェックビット $c_{r0} \sim c_{r6}$ として、ECC回路に供給される。リードアンプRAの各单位回路には、タイミング発生回路TCからタイミング信号 $\phi_r$ が共通に供給される。

リードアンプRAの各单位回路は、上記タイミング信号 $\phi_r$ がハイレベルとされることで、選択的に動作状態とされる。この動作状態において、リードアンプRAの各单位回路は、メモリアレイMARYの選択されたメモリセルから対応する相補共通データ線 $\overline{CD0} \sim \overline{CD38}$ を介して伝達される2値読み出し信号をさらに増幅し、上記読み出しデータ $d_{r0} \sim d_{r31}$ 及び読み出しチェックビット $c_{r0} \sim c_{r6}$ とする。

ECC回路には、特に制限されないが、上記データ入力バッファDIB1及びDIB2から内部

入力データ $d_{i0} \sim d_{i31}$ 及び $d_{i32} \sim d_{i38}$ が供給され、また上記リードアンプRAから内部読み出しデータ $d_{r0} \sim d_{r31}$ 及び読み出しチェックビット $c_{r0} \sim c_{r6}$ が供給される。ECC回路には、さらに外部端子 $\overline{ECM}$ を介して、ECC制御信号 $\overline{ECM}$ が供給される。

ECC回路は、上記ECC制御信号 $\overline{ECM}$ がハイレベルとされるとき、選択的に有効とされる。このとき、ダイナミック型RAMが書き込みモードとされる場合、ECC回路は、データ入力バッファDIB1から供給される内部入力データ $d_{i0} \sim d_{i31}$ をもとに、7ビットの書き込みチェックビット $c_{w0} \sim c_{w6}$ を形成し、ライトアンプWAに供給する。このとき、ダイナミック型RAMが読み出しモードとされる場合、ECC回路は、リードアンプRAから供給される内部読み出しデータ $d_{r0} \sim d_{r31}$ 及び読み出しチェックビット $c_{r0} \sim c_{r6}$ をもとに、読み出しデータの正常性をチェックする。その結果、読み出しデータに1ビットの誤りが検出されると、前述のよ

うに、その誤りを訂正し、内部出力データ $d_{o0} \sim d_{o31}$ として、後述するデータ出力バッファDOB1に伝達する。読み出しデータに2ビットの誤りが検出されると、ECC回路は、その誤りを検出はするが、訂正はできない。読み出しデータに1ビット又は2ビットの誤りが検出された場合、ECC回路は、ハイレベルの内部誤り検出信号 $e_d$ をタイミング発生回路TCに供給する。特に制限されないが、内部誤り検出信号 $e_d$ がハイレベルとされるとき、タイミング発生回路TCは、ロウレベルの誤り検出信号 $\overline{ED}$ をメモリ制御ユニットに送出する。

一方、ECC回路は、上記ECC制御信号 $\overline{ECM}$ がロウレベルとされるとき、選択的に無効とされる。このとき、リードアンプRAから供給される内部読み出しデータ $d_{r0} \sim d_{r31}$ 及び読み出しチェックビット $c_{r0} \sim c_{r6}$ は、そのまま内部出力データ $d_{o0} \sim d_{o31}$ 及び $d_{o32} \sim d_{o38}$ として、データ出力バッファDOB1及びDOB2に伝達される。ところで、ECC回路

が無効とされるとき、ダイナミック型RAMは、外部端子D32～D38からデータ入力バッファDIB2を介して供給される内部入力データd132～d138を、メモリアレイMARYのチェックビット格納用のメモリエリアに書き込む機能を持つ、このとき、上記内部入力データd132～d138は、書き込みチェックビットcw0～cw6として、ECC回路からライトアンプWA及びメモリアレイMARYに伝達される。

ECC回路の具体的な構成と動作については、後で詳細に説明する。

データ出力バッファDOB1には、上記ECC回路から内部出力データd00～d031が供給される。また、データ出力バッファDOB2には、上記ECC回路から内部出力データd032～d038が供給される。データ出力バッファDOB1及びDOB2には、タイミング発生回路TGからタイミング信号φ<sub>00</sub>が供給される。

データ出力バッファDOB1は、ダイナミック型RAMが読み出しモードとされるとき、上記タ

イミング信号φ<sub>00</sub>がハイレベルとされるとき、選択的に動作状態とされる。この動作状態において、データ出力バッファDOB1は、上記内部出力データd00～d031に従った出力信号を形成し、データ入出力端子D0～D31を介してメモリ制御ユニットに送出する。同様に、データ出力バッファDOB2は、ダイナミック型RAMが読み出しモードとされかつ上記ECC制御信号ECMがロウレベルとされるとき、選択的に動作状態とされる。この動作状態において、データ出力バッファDOB2は、上記内部出力データd032～d038に従った出力信号を形成し、データ入出力端子D32～D38を介してメモリ制御ユニットに送出する。タイミング信号φ<sub>00</sub>がロウレベルとされるとき、データ出力バッファDOB1及びDOB2の出力はハイインピーダンス状態とされる。

タイミング発生回路TGは、図示されないメモリ制御ユニットから供給されるロウアドレスストロブ信号RAS、カラムアドレスストロブ信

号CAS及びライトイネーブル信号WEをもとに、上記各種のタイミング信号を形成し、各回路に供給する。また、前述のように、ECC回路からハイレベルの内部誤り検出信号edが供給されるとき、ロウレベルの誤り検出信号EDをメモリ制御ユニットに送出する。

第1図には、第2図のダイナミック型RAMのECC回路の一実施例のブロック図が示されている。同図により、この実施例のダイナミック型RAMのECC回路の具体的なブロック構成と、動作の概要を説明する。

第1図において、ECC回路は、特に制限されないが、書き込みモードにおいて有効とされるチェックビット生成回路CG1及びデータ選択回路SEL1と、読み出しモードにおいて有効とされるチェックビット生成回路CG2、シンドローム生成回路SG、データ訂正回路DC及びデータ選択回路SEL2、SEL3とを含む。

チェックビット生成回路CG1は、上記データ入力バッファDIB1から供給される内部入力データd10～d131を所定の組み合わせで受け

る7個の排他的論理和回路を含む。これらの排他的論理和回路の出力信号は、それぞれチェックビットca0～ca6として、データ選択回路SEL1の一方の入力端子に供給される。前述のように、この実施例のECC回路は単一誤り訂正・二重誤り検出方式とされ、チェックビットca0～ca6は、これにみあった所定のアルゴリズムに従ってそれぞれ形成される。

データ選択回路SEL1の他方の入力端子には、データ入力バッファDIB2から内部入力データd132～d138が供給される。また、データ選択回路SEL1には、選択制御信号として、上記ECC制御信号ECMが供給される。

データ選択回路SEL1は、ECC制御信号ECMがハイレベルとされECC回路が有効とされるとき、上記チェックビット生成回路CG1から出力されるチェックビットca0～ca6を選択し、書き込みチェックビットcw0～cw6とする。これにより、内部入力データd10～d13

1に対応して形成されるチェックビット $c_{a0} \sim c_{a6}$ が、ライトアンプWAに伝達され、メモリアレイMARYの指定されたアドレスの第2のメモリエリアに自動的に書き込まれる。このとき、メモリアレイMARYの指定されたアドレスの第1のメモリエリアには、内部入力データ $d_{i0} \sim d_{i31}$ が同時に書き込まれる。一方、ECC制御信号 $\overline{ECM}$ がロウレベルとされECC回路が無効とされるとき、データ選択回路SEL1は、データ入力バッファDIB2から供給される内部入力データ $d_{i32} \sim d_{i38}$ を選択し、書き込みチェックビット $c_{w0} \sim c_{w6}$ とする。これにより、外部端子D32～D38からデータ入力バッファDIB2を介して供給される任意の内部入力データ $d_{i32} \sim d_{i38}$ が、ライトアンプWAに伝達され、メモリアレイMARYの指定されたアドレスの第2のメモリエリアに強制的に書き込まれる。このとき、指定されたアドレスの第1のメモリエリアには、内部入力データ $d_{i0} \sim d_{i31}$ が同時に書き込まれる。

定のアルゴリズムに従って形成する。これらのシンドローム $s_0 \sim s_6$ は、データ訂正回路DCに供給される。

データ訂正回路DCには、さらにリードアンプRAから、内部読み出しデータ $d_{r0} \sim d_{r31}$ が供給される。

データ訂正回路DCは、ダイナミック型RAMが読み出し動作モードとされるとき、選択的に動作状態とされる。この動作状態において、データ訂正回路DCは、上記シンドローム $s_0 \sim s_6$ をもとに、上記内部読み出しデータ $d_{r0} \sim d_{r31}$ 及び読み出しチェックビット $c_{r0} \sim c_{r6}$ の正常性を所定のアルゴリズムに従って判定する。その結果、内部読み出しデータ $d_{r0} \sim d_{r31}$ に誤りが検出されるとこれを修正し、内部データ $d_{c0} \sim d_{c31}$ を形成する。これらの内部データ $d_{c0} \sim d_{c31}$ は、データ選択回路SEL3の一方の入力端子に供給される。

データ選択回路SEL2には、さらに選択制御信号として、上記ECC制御信号 $\overline{ECM}$ が供給さ

一方、チェックビット生成回路CG2は、リードアンプRAから供給される内部読み出しデータ $d_{r0} \sim d_{r31}$ を所定の組み合わせで受ける7個の排他的論理和回路を含む。これらの排他的論理和回路の出力信号は、それぞれチェックビット $c_{b0} \sim c_{b6}$ として、シンドローム生成回路SGに供給される。チェックビット $c_{b0} \sim c_{b6}$ は、上記チェックビット $c_{a0} \sim c_{a6}$ と同様なアルゴリズムに従ってそれぞれ形成される。

シンドローム生成回路SGには、さらにリードアンプRAから、上記読み出しチェックビット $c_{r0} \sim c_{r6}$ が供給される。これらの読み出しチェックビット $c_{r0} \sim c_{r6}$ は、データ選択回路SEL2にも供給される。

シンドローム生成回路SGは、ダイナミック型RAMが読み出しモードとされるとき、選択的に動作状態とされる。この動作状態において、シンドローム生成回路SGは、上記チェックビット $c_{b0} \sim c_{b6}$ 及び読み出しチェックビット $c_{r0} \sim c_{r6}$ をもとに、シンドローム $s_0 \sim s_6$ を所

れる。

データ選択回路SEL2は、上記ECC制御信号 $\overline{ECM}$ がハイレベルとされECC回路が有効とされるとき、その出力をハイインピーダンス状態とする。また、上記ECC制御信号 $\overline{ECM}$ がロウレベルとされECC回路が無効とされるとき、リードアンプRAから供給される読み出しチェックビット $c_{r0} \sim c_{r6}$ をそのまま内部出力データ $d_{o32} \sim d_{o38}$ として、データ入力バッファDIB2に伝達する。これらの内部出力データ $d_{o32} \sim d_{o38}$ は、外部端子D32～D38を介してメモリ制御ユニットに送出される。

データ選択回路SEL3の他方の入力端子には、上記内部読み出しデータ $d_{r0} \sim d_{r31}$ が供給される。また、さらに選択制御信号として、上記ECC制御信号 $\overline{ECM}$ が供給される。

データ選択回路SEL3は、ECC制御信号 $\overline{ECM}$ がハイレベルとされECC回路が有効とされるとき、上記データ訂正回路DCから出力される内部データ $d_{c0} \sim d_{c31}$ を選択し、内部出力

データ  $d_0 \sim d_{31}$  とする。これにより、メモリアレイ  $MARY$  の指定されたアドレスから読み出され  $ECC$  回路によって修正された内部読み出しデータ  $d_r 0 \sim d_r 31$  が、データ出力バッファ  $DOB 1$  に伝達され、外部端子  $D 0 \sim D 31$  を介してメモリ制御ユニットに送出される。このとき、外部端子  $D 32 \sim D 38$  は、ハイインピーダンス状態とされる。一方、 $ECC$  制御信号  $\overline{ECM}$  がロウレベルとされ  $ECC$  回路が無効とされるとき、データ選択回路  $SEL 3$  は、リードアンプ  $RA$  から供給される内部読み出しデータ  $d_r 0 \sim d_r 31$  を選択し、内部出力データ  $d_o 0 \sim d_o 31$  とする。これにより、メモリアレイ  $MARY$  の指定されたアドレスから読み出された内部読み出しデータ  $d_r 0 \sim d_r 31$  は、 $ECC$  回路によるチェック及び修正を受けることなく、そのままデータ出力バッファ  $DOB 1$  に伝達され、外部端子  $D 0 \sim D 31$  を介してメモリ制御ユニットに送出される。このとき、前述のように、メモリアレイ  $MARY$  の指定されたアドレスから読み出され

た読み出しチェックビット  $c_r 0 \sim c_r 6$  が、データ選択回路  $SEL 2$  から、内部出力データ  $d_o 32 \sim d_o 38$  として、データ出力バッファ  $DOB 2$  に伝達され、外部端子  $D 32 \sim D 38$  を介してメモリ制御ユニットに送出される。

以上のように、この実施例のダイナミック型  $RAM$  には、 $ECC$  制御信号  $\overline{ECM}$  に従って選択的に有効又は無効とされる  $ECC$  回路を内蔵する。この実施例において、メモリ制御ユニットを介して供給される書き込みデータは 32 ビット構成とされ、これらの書き込みデータに対して 7 ビットの  $ECC$  チェックビットが付加される。メモリアレイ  $MARY$  の各アドレスには、32 ビットのデータを格納する第 1 のメモリエリアと、これらのデータに対応して形成されるチェックビットを格納する第 2 のメモリエリアが設けられる。上記  $ECC$  制御信号  $\overline{ECM}$  がハイレベルとされ  $ECC$  回路が有効とされるとき、記憶データは  $ECC$  回路によるチェック及び修正を受ける。このとき、メモリアレイ  $MARY$  の上記第 2 のメモリエリアに

は、書き込みデータに対応して形成される  $ECC$  チェックビットが格納される。一方、上記  $ECC$  制御信号  $\overline{ECM}$  がロウレベルとされ  $ECC$  回路が無効とされるとき、記憶データは  $ECC$  回路によるチェック及び修正を受けることなくそのまま出力される。このとき、メモリアレイ  $MARY$  の指定されたアドレスの上記第 2 のメモリエリアに対して、外部端子  $D 32 \sim D 38$  を介して供給される 7 ビットの記憶データを書き込み・読み出すことができる。これにより、この実施例のダイナミック型  $RAM$  は、所定の製造工程において行われる機能試験を的確に実施できる。また、メモリアレイ  $MARY$  のチェックビット格納用メモリエリアすなわち上記第 2 のメモリエリアを任意にアクセスできるため、故障診断処理を効率的に行うことができるとともに、このようなダイナミック型  $RAM$  を含むシステムの柔軟性を高めることができるものである。

ところで、この実施例のダイナミック型  $RAM$  のメモリアレイ  $MARY$  には、複数の冗長ワード

線及び冗長相補データ線を含む冗長回路が設けられる。これらの冗長回路は、上記  $ECC$  回路を有効又は無効とした時の機能試験結果に従って、選択的に不良アドレスに割り当てられる。すなわち、上記機能試験によって検出される不良アドレスは、障害の程度によって一つのアドレスに限定され、あるいは行又は列方向に複数のアドレスに分布する。この実施例のダイナミック型  $RAM$  では、特に制限されないが、まず  $ECC$  回路を有効として 1 ビット誤りを修正できる状態で機能試験を実施し、ここで検出される比較的重大な障害に対して、上記冗長回路を優先的に割り当てる。ダイナミック型  $RAM$  に比較的重大な障害が検出されない場合、次に  $ECC$  回路を無効として 1 ビット誤りを修正できない状態で機能試験を実施し、ここで検出される 1 ビット単位の障害に対して、上記冗長回路を割り当てる。これにより、その品質をランク付けすることを条件に、ダイナミック型  $RAM$  の歩留りを高めることができる。

以上の本実施例に示されるように、この発明を



ECC回路を内蔵するダイナミック型RAM等の半導体記憶装置に適用した場合、次のような効果を得られる。すなわち、

(1) 半導体記憶装置に内蔵されるECC回路を、所定の制御信号に従って選択的に有効又は無効とすることで、所定の製造工程において行われる半導体記憶装置の機能試験を的確に実施し、ECC回路を内蔵する半導体記憶装置の信頼性を向上できるという効果を得られる。

(2) 上記(1)項において、ECC回路を有効又は無効とした状態で半導体記憶装置の機能試験を実施し、ECC回路を有効とした状態で検出される比較的重大な障害に対して冗長回路を優先的に割り当てることで、ECC回路を内蔵する半導体記憶装置の歩留りをさらに高めることができるという効果を得られる。

(3) 上記(1)項において、ECC回路が無効とされる時、ECCチェックビットが格納されるメモリエリアを任意にアクセスできるようにすることで、効率的な故障診断処理を実施できるという効果が

得られる。

(4) 上記(1)項及び(3)項により、半導体記憶装置にECC回路が必要とされないとき、ECCチェックビットが格納されるメモリエリアを有効に利用することができ、ECC回路を内蔵する半導体記憶装置を含むシステムの柔軟性を高めることができるという効果を得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第1図のブロック図において、チェックビット生成回路CG1及びCG2は、共通化され、書き込みモード及び読み出しモードで選択的に使用されるものとしてもよい。また、ECC回路における誤り訂正方式は、二重誤りを検出できない単一誤り訂正方式としてもよいし、チェックビットは、反転された後メモリアレイに格納されるものであってもよい。ダイナミック型RAMが、内部入力データd10～d131を含めた

形で符号化処理を行うECC方式を採る場合、内部入力データd10～d131は、対応して設けられるデータ選択回路を介して、ライトアンプWAに伝達される必要がある。第2図のブロック図において、メモリアレイMARYは、複数のメモリマットによって構成されることもよい。また、ダイナミック型RAMに入出力されるデータは、64ビット又はそれ以外のビット構成とされるものであってもよい。さらに、第1図に示されるECC回路のブロック構成や第2図に示されるダイナミック型RAMのブロック構成ならびに各制御信号及びアドレス信号等の組み合わせは、種々の実施形態を採りうる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるダイナミック型RAMに適用する場合について説明したが、これに限定されるものではなく、例えば、スタティック型RAMやその他の半導体記憶装置にも適用できる。本発明は、少なくともECC回路を内蔵する半導体記憶装置及びこのような半導

体記憶装置を含むデジタル装置に広く適用できるものである。

#### (発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。すなわち、半導体記憶装置に内蔵されるECC回路を、所定の制御信号に従って選択的に有効又は無効とし、またECC回路が無効とされるとき、ECCチェックビットが格納されるメモリエリアを任意にアクセスできるようにすることで、所定の製造工程において行われる半導体記憶装置の機能試験を的確に実施し、その信頼性を向上できるとともに、このようなECC回路を内蔵する半導体記憶装置を含むシステムの故障診断処理を効率化し、その柔軟性を高めることができるものである。

#### 4. 図面の簡単な説明

第1図は、この発明が適用されたダイナミック型RAMのECC回路の一実施例を示すブロック図、

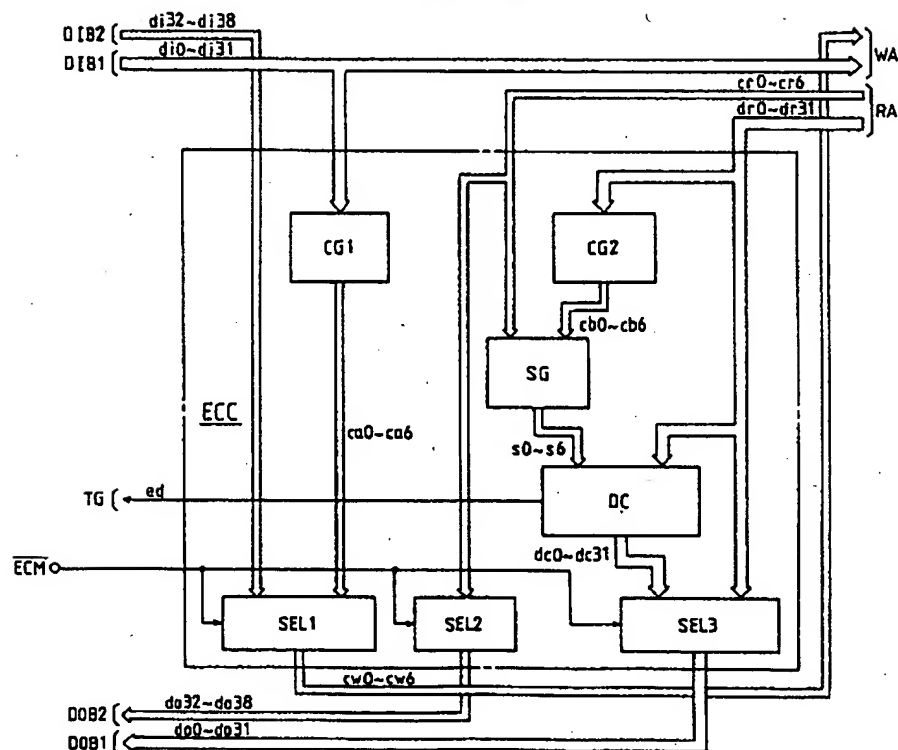
第2図は、第1図のECC回路を含むダイナミック型RAMの一実施例を示すブロック図である。

ECC・・・ECC回路、CG1、CG2・・・チェックビット生成回路、SG・・・シンドローム生成回路、DC・・・データ訂正回路、SEL1～SEL3・・・データ選択回路。

MARY・・・メモリアレイ、SA・・・センスアンプ、CSW・・・カラムスイッチ、RAD・・・ロウアドレスデコーダ、CAD・・・カラムアドレスデコーダ、RAB・・・ロウアドレスバッファ、CAB・・・カラムアドレスバッファ、WA・・・ライトアンプ、RA・・・リードアンプ、DIB1、DIB2・・・データ入力バッファ、DOB1、DOB2・・・データ出力バッファ、TG・・・タイミング発生回路。

代理人弁理士 徳若 光政

第1図



第 2 図

